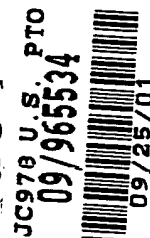


PATENT
81790.0219
Express Mail Label No. EL 713 625 097 US



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Katsushi NAGABA and Shigeo
OHSHIMA

Serial No: Not Assigned

Filed: September 25, 2001

For: Semiconductor Integrated Circuit
Device

Art Unit: Not Assigned

Examiner: Not Assigned

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to:	
Assistant Commissioner for Patents Washington D.C. 20231, on	
<u>September 25, 2001</u>	
Date of Deposit	
<u>Shindale Ferguson</u>	
Name	
<u><i>Shindale Ferguson</i></u>	<u>September 25, 2001</u>
Signature	Date

TRANSMITTAL OF PRIORITY DOCUMENT

Box PATENT APPLICATION
Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2000-297703 which was filed September 28, 2000, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: September 25, 2001

By: *Lawrence J. McClure*
Lawrence J. McClure
Registration No. 44,228
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日 本 国 特 許 庁
JAPAN PATENT OFFICE

2
1-18-02
Muller

JC978 U.S. PTO
09/965534



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 9月28日

出 願 番 号

Application Number:

特願2000-297703

出 願 人

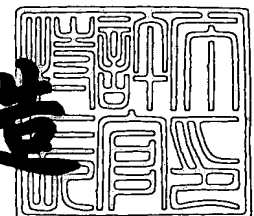
Applicant(s):

株式会社東芝

2001年 8月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3069594

【書類名】 特許願

【整理番号】 A000005033

【提出日】 平成12年 9月28日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 7/00 313

【発明の名称】 半導体集積回路装置

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 長場 勝志

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 大島 成夫

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 データ信号を受け、クロック信号により出力タイミングが制御されるレジスタ回路と、

前記レジスタ回路の出力を受け、前記データ信号をデコードした信号により遅延時間が調整される遅延調整回路と、

前記遅延調整回路の出力を受けるドライバ回路と

を具備することを特徴とする半導体集積回路装置。

【請求項 2】 前記データ信号はリードデータ信号であり、

前記ドライバ回路はオフチップドライバ回路であることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】 前記データ信号はライトデータ信号であり、

前記ドライバ回路はライトデータバッファ回路であることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 4】 前記データ信号はアドレス信号であり、

前記ドライバ回路はアドレスバッファ回路であることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 5】 クロック信号を受け、データ信号をデコードした信号により遅延時間が調整される遅延調整回路と、

前記データ信号を受け、前記遅延時間が調整されたクロック信号により出力タイミングが制御されるレジスタ回路と、

前記レジスタ回路の出力を受けるドライバ回路と

を具備することを特徴とする半導体集積回路装置。

【請求項 6】 前記クロック信号はリードデータ出力用クロックであり、

前記データ信号はリードデータ信号であり、

前記ドライバ回路はオフチップドライバ回路であることを特徴とする請求項 5 に記載の半導体集積回路装置。

【請求項 7】 データ信号を受け、クロック信号により出力タイミングが制

御されるレジスタ回路と、

前記レジスタ回路の出力を受け、前記データ信号のうち、互いに隣接するデータ信号をデコードした信号により遅延時間が調整される遅延調整回路と、

前記遅延調整回路の出力を受けるドライバ回路と

を具備することを特徴とする半導体集積回路装置。

【請求項 8】 前記データ信号はリードデータ信号であり、

前記ドライバ回路はオフチップドライバ回路であることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 9】 前記データ信号はライトデータ信号であり、

前記ドライバ回路はライトデータバッファ回路であることを特徴とする請求項 7 に記載の半導体集積回路装置。

【請求項 10】 前記データ信号はアドレス信号であり、

前記ドライバ回路はアドレスバッファ回路であることを特徴とする請求項 7 に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体集積回路装置に係わり、特にデータ出力のタイミング制御に関する。

【0002】

【従来の技術】

図 14 は、一般的な半導体メモリチップにおけるリードパスを示すブロック図である。

【0003】

図 14 に示すように、図示せぬメモリセルから読み出されたリードデータ RD (RD_n) は、先入れ先出し型のレジスタ回路 (以下 FIFO) 101 に入力される。FIFO 101 は、リードデータ出力用クロック OUTCLK に同期して動作し、クロック OUTCLK が、例えば “HIGH” レベルとなったとき、入力されたリードデータ RD を、データ QR (QR_n) として出力する。

【0004】

データQRは、オフチップドライバ回路（以下OCD）102に入力される。OCD102は、例えばハイインピーダンス信号HIZ（図示せず）に基いて動作する。そして、ハイインピーダンス信号HIZが、例えば“LOW”レベルのとき、入力されたデータQRを、リードデータDQ（DQ_n）として出力し、パッド、リードフレームを介して、外部ピンに接続された外部バス（図示せず）をドライブする。反対に信号HIZが“HIGH”レベルのときには、OCD102は、ハイインピーダンス状態となる。

【0005】

上記リードバスにおいて、リードデータ線RD及びデータ線QRはそれぞれ、ビット構成成分存在する。例えばビット構成が“×4ビット”の場合にはリードデータ線RD、及びデータ線QRはそれぞれ4本存在する。この場合、リードデータのデータパターンには、[0000]から[1111]まで、 $2^4=16$ 通りの組み合わせが存在することになる。もちろん、ビット構成が“×8ビット、16ビット、…”と増えれば、それに従いデータパターンの組み合わせも増加する。

【0006】

ところで、データのアクセスタイムは、上記データパターンの組み合わせによってばらつくことが一般的に知られている。このばらつきの原因は、主として下記の（1）～（3）が挙げられる。

【0007】

（1） メモリセルから外部ピンまでのデータパスの抵抗R、容量C、インダクタンスLはそれぞれ、各ビットで等価ではない。このため、データパスの時定数がビット毎にばらつく。

【0008】

図15Aに半導体メモリチップを内蔵したLSI製品のブロック図を、その等価回路図を図15Bに示す。

【0009】

図15A、図15Bに示すように、例えばFIFO101からOCD102ま

でのデータ線QRの長さは、QRaとQRbとで互いに異なる。同様にパッドから外部ピンまでのリードフレームQLの長さも、QLaとQLbとで互いに異なる。データ線QRの容量、その抵抗、及びリードフレームQLのインダクタンスの関係例を下記する。

【0010】

$C_a > C_b$

$R_a > R_b$

$L_a > L_b$

ここで、 C_a 、 R_a はそれぞれデータ線QRaの容量及びその抵抗、 C_b 、 R_b はそれぞれデータ線QRbの容量及びその抵抗、 L_a はリードフレームQLaのインダクタンス、 L_b はリードフレームQLbのインダクタンスである。

【0011】

このような関係から、リードデータDQaのアクセスタイム T_a は、リードデータDQbのアクセスタイム T_b よりも大きくなってしまう。

【0012】

(2) n ビットの配線（リードデータ線RDやデータ線QR）は、一般的にチップ内に互いに並行してレイアウトされる。このため、隣接した配線間の容量（以下隣接容量）に貯まる電荷量は、データパターンによって異なる。隣接容量に貯まる電荷量が異なる結果、データの伝達時間は常に一様ではなく、データパターン毎にばらつく。

【0013】

図16Aに互いに並走した3ビットの配線を、図16Bに隣接容量をそれぞれ示す。

【0014】

図16Aに示した配線1の周囲には、図16Bに示すように、主に三つの隣接容量が存在する。一つめは、配線1と、この配線1の下に存在する他の配線、あるいは半導体基板との間の隣接容量 C_1 であり、二つめは、配線1と、この配線1の横に存在する配線2との間の隣接容量 C_{12} 、三つめは、配線1と、この配線1の横に存在する配線3との間の隣接容量 C_{13} である。

【0015】

図16Cは、互い並走した3ビットの配線1、2、3の電位変化とデータパターンとの関係を示す図である。

【0016】

図16Cに示すように、データパターンは、“同相”と“逆相”とに大別される。“同相”とは、配線1、2、3の電位がそれぞれ揃って上昇、あるいは揃って下降する場合を指す。また、“逆相”は、配線1の電位が、配線2、3の少なくとも一方の電位とは逆に変化する場合を指す。

【0017】

図16Dにデータパターンとデータの伝達時間との関係を示す。図16Dには、配線1のA点が“LOW”レベルから“HIGH”レベルに変化したときの、配線1の端部B点の電位変化波形が示されている。

【0018】

図16Dに示すように、配線2、3が、配線1と同様に“LOW”レベルから“HIGH”レベルに変化するとき（同相）、隣接容量C12、C13の両端に電位差が存在しない。このため、配線1の配線容量は隣接容量C1のみに等しい、と考えることができる。即ち、配線容量は小さい状態であり、データの伝達時間は速い。

【0019】

これに対し、配線2、3が、配線1とは逆に“HIGH”レベルから“LOW”レベルに変化するとき（逆相）、隣接容量C12、C13の両端に電位差が存在する。このため、配線1の配線容量は $C1 + C12 + C13$ 、と考えることができ、配線容量は“同相”の場合に比べて大きくなる。したがって、データの伝達時間は遅くなる。

【0020】

なお、図16Dには示さないが、配線2、3の一方が配線1と同相で、他方が逆相の場合、その伝達時間は、上記“同相”の場合と“逆相”の場合との間にあることは言うまでもない。

【0021】

また、図16Dでは、配線1が“LOW”レベルから“HIGH”レベルに変化する場合を示したが、逆に“HIGH”レベルから“LOW”レベルに変化する場合でも、隣接容量、及び伝達時間の関係は同様である。

【0022】

年々、半導体メモリチップの微細化、高集積化が進むに連れ、配線の幅、及び配線間の間隔が狭まってきており、配線容量中の隣接容量が占める比率は増える傾向にある。このため、上記伝達時間のばらつきは、今後、更に顕著になる、と予想される。

【0023】

(3) 多数のOCD102が同時に“オン”するために、出力に使用されている電源電圧が振幅する（以下電源ノイズ）。このため、データ“HIGH（又は1）”及び“LOW（又は0）”の多数側と少数側とで、データのアクセスタイムがばらつく。

【0024】

図17は、一般的なOCDの構成を示す図である。

【0025】

図17に示すように、チップ上には、多数のOCD102（102-1～102-n）、出力用高電位電源配線VDDQ、及び出力用低電位電源配線VSSQが配置され、それぞれリードフレーム（負荷）を介して、パッケージ外部に設けられた外部電源や外部バスに接続される。

【0026】

電源ノイズは、OCD102を構成するトランジスタが流す過渡電流がパッケージ（電源）のインダクタンスによって電圧を誘起するために発生する。

【0027】

一般的に電源ノイズ ΔV は、次の簡易式で表すことができる。

【0028】

$$\Delta V = N \cdot L_{eff} \cdot (di/dt)$$

ここで、NはOCD102の同時スイッチング数、 L_{eff} はパッケージの実効インダクタンス、 di/dt はOCD102の電流駆動能力、である。

【0029】

図17には、OCD102-1の1ビットだけ“LOW”レベルから“HIGH”レベルに変化し、他のOCD102-2～102-nの全てが“HIGH”レベルから“LOW”レベルに変化している状態が示されている。

【0030】

図17に示すように、大多数のビットが“HIGH”レベルから“LOW”レベルに変化した場合、OCD102-2～OCD102-nを構成するNMOSトランジスタが流す過渡電流とパッケージのインダクタンスとで電圧が誘起され、電源配線VSSQにノイズが発生する。これにより、NMOSトランジスタは、十分なゲート～ソース間電圧VGSを得られなくなり、データのアクセスが遅れてしまう。

【0031】

一方、OCD102-0を構成するPMOSトランジスタは、上記電源ノイズにより、十分なゲート～ソース間電圧VGSを得られるようになり、データのアクセスは逆に速くなる。

【0032】

このようにデータパターンによって同時にオンするOCD102の数Nが異なるため、電源ノイズ ΔV が生じ、アクセスタイムがばらつく。

【0033】

ビット構成がさらに増えれば、OCD102の数も増える。OCD102の数が増えれば、電源ノイズ ΔV が大きくなり、アクセスタイムのばらつきは、さらに増大する。

【0034】

図18は、以上のことに関して、データパターンとデータのアクセスタイムとの関係を示した図である。図18に示す線Iは“LOW”レベルから“HIGH”レベルになるデータのアクセスタイムを、線IIは反対に“HIGH”レベルから“LOW”レベルになるデータのアクセスタイムをそれぞれ示している。

【0035】

図18に示すように、アクセスタイムのばらつきは、1ビット逆相時に最大になる。

【0036】

【発明が解決しようとする課題】

昨今、クロックに同期して動作する半導体メモリにおいて、アクセスタイムの仕様は、外部クロックに対して、 $\pm 1 \text{ ns}$ 前後であるを満たせないチップの増加や、あるいはマージンの低下を招くことになり、例えば歩留りに悪い影響を与える。

【0037】

また、半導体メモリや、このメモリを使用したシステムの動作の高速化がさらに進むと、アクセスタイムの仕様は、さらに厳しくなることが予想され、この仕様を満たすことは容易ではなくなる、と考えられる。

【0038】

この発明は、上記の事情に鑑み為されたもので、その目的は、データパターンに起因したアクセスタイムのばらつきを軽減できる半導体集積回路装置を提供することにある。

【0039】

【課題を解決するための手段】

上記目的を達成するために、この発明の第1態様に係る半導体集積回路装置では、データ信号を受け、クロック信号により出力タイミングが制御されるレジスタ回路と、このレジスタ回路の出力を受け、前記データ信号をデコードした信号により遅延時間が調整される遅延調整回路と、この前記遅延調整回路の出力を受けるドライバ回路とを具備することを特徴としている。

【0040】

また、上記目的を達成するために、この発明の第2態様に係る半導体集積回路装置では、クロック信号を受け、データ信号をデコードした信号により遅延時間が調整される遅延調整回路と、前記データ信号を受け、前記遅延時間が調整されたクロック信号により出力タイミングが制御されるレジスタ回路と、このレジスタ回路の出力を受けるドライバ回路とを具備することを特徴としている。

【0041】

また、上記目的を達成するために、この発明の第3態様に係る半導体集積回路

装置では、データ信号を受け、クロック信号により出力タイミングが制御されるレジスタ回路と、このレジスタ回路の出力を受け、前記データ信号のうち、互いに隣接するデータ信号をデコードした信号により遅延時間が調整される遅延調整回路と、この遅延調整回路の出力を受けるドライバ回路とを具備することを特徴としている。

【 0 0 4 2 】

【発明の実施の形態】

以下、この発明の実施形態を、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【 0 0 4 3 】

(第 1 実施形態)

図 1 は、この発明の第 1 実施形態に係る半導体メモリチップにおけるリードバスの基本構成を示すブロック図である。

【 0 0 4 4 】

図 1 に示すように、図示せぬメモリセルから読み出された n ビットのリードデータ RD ($RD1 \sim RDn$) はそれぞれ、先入れ先出し型のレジスタ回路 (以下 $FIFO$) 11 ($11-1 \sim 11-n$) に入力される。 $FIFO11$ は、リードデータ出力用クロック $OUTCLK$ に同期して動作し、クロック $OUTCLK$ が、例えば “HIGH” レベルとなったとき、入力されたリードデータ RD をデータ QR ($QR1 \sim QRn$) として出力する。 $FIFO11$ の一回路例を、図 2 に示す。

【 0 0 4 5 】

図 2 に示すように、 $FIFO11$ は、例えばインバータ 21 、クロックトインバータ 22 から構成される。リードデータ RD は、インバータ 21 を介して、クロックトインバータ 22 に入力される。クロックトインバータ 22 は、クロック $OUTCLK$ が “HIGH” となったとき、リードデータ RD を、クロック $OUTCLK$ に同期したデータ QR として出力する。

【 0 0 4 6 】

データ QR は、遅延調整回路 (以下 $DELAY$) 12 ($12-1 \sim 12-n$) に入力される。 $DELAY12$ は、遅延調整信号 $DPSW$ ($DPSW1 \sim DPSWn$)

）に応じて、データQRを遅延させる。DELAY12の一構成例を、図3に示す。

【0047】

図3に示すように、DELAY12は、例えば入力端子Vinと出力端子Voutとの間に互いに並列接続された2つのトランスファゲート（以下TFG）31（31-1、31-2）から構成される。DELAY12の詳細な一回路例を図4に示す。

【0048】

図4に示すように、TFG31-1は、入力端子Vinと出力端子Voutとの間に互いに並列接続されたPMOS P1、及びNMOS N1から構成され、TFG31-2は、入力端子Vinと出力端子Voutとの間に互いに並列接続されたPMOS P2、及びNMOS N2から構成される。PMOS P1のゲートには、遅延調整信号DPSW（DPSWn）が入力され、NMOS N1のゲートには、信号DPSWの反転信号/DPSW（/DPSWn）が入力される。また、PMOS P2のゲートには、反転信号/DPSWが入力され、NMOS N2のゲートには、信号DPSWが入力される。これにより、TFG31-1、31-2の一方が、信号DPSWのレベルに応じてオンする。

【0049】

図4に示す回路において、PMOS P1の駆動電流I_{dp1}とPMOS P2の駆動電流I_{dp2}との関係は、下記のように設定される。

【0050】

$$I_{dp1} < I_{dp2}$$

同様に、NMOS N1の駆動電流I_{dn1}とNMOS N2の駆動電流I_{dn2}との関係は、下記のように設定される。

【0051】

$$I_{dn1} < I_{dn2}$$

この関係より、TFG31-1がオンしたとき、DELAY12の遅延時間は大きくなり、反対にTFG31-2がオンしたとき、DELAY12の遅延時間は小さくなる。

【0052】

遅延時間を大きくするか否かは、上記遅延調整信号DPSWにより決定される。遅延調整信号DPSWは、デコード回路（以下DEC）13から出力される。DEC13は、リードデータRD1～RDnをデコードし、遅延調整信号DPSWを出力する。DEC13の一回路例を図5に示す。

【0053】

図5に示すように、DEC13は、排他的論理和回路（以下EXOR）5-1により構成される。EXOR5-1には、検知したいリードデータのデータパターンが入力される。これにつき、例えばリードデータRDのビット構成が“×4ビット（RD1～RD4）”の場合を例にとり説明する。

【0054】

図6は、“×4ビット”におけるDEC13の一回路例を示す回路図である。

【0055】

図6に示すように、リードデータRD1～RD4のうち、RD1のみ逆相であるか否かを検知したいとき、EXOR5-1-1に、

“/RD4、/RD3、/RD2、RD1”、又は

“RD4、RD3、RD2、/RD1”

を入力する。このようにすれば、データパターンが、

“0001”、及び

“1110”

のとき、EXOR5-1-1は、遅延調整信号DPSW1 = “HIGH”を出力する。

【0056】

DELAY12-1は、遅延調整信号DPSW1 = “HIGH”を受け、データQR1（RD1に対応する）の遅延を、他のデータQR2～QR4（それぞれRD2～RD4に対応する）に比べて大きくして、オフチップドライバ回路（以下OCD）14-1に伝達する。

【0057】

また、リードデータRD1～RD4のうち、RD2のみ逆相であるか否かを検知したいときには、上記同様、EXOR5-1-2に、

“/RD4、/RD3、RD2、/RD1”、又は

“RD4、RD3、/RD2、RD1”

を入力する。このようにすれば、データパターンが、

“0010”、及び

“1101”

のとき、EXOR51-2は、遅延調整信号DPSW2 = “HIGH” を出力する。

【0058】

よって、DELAY12-2は、遅延調整信号DPSW2 = “HIGH” を受け、データQR2の遅延を、他のデータQR1、QR3、QR4に比べて大きくして、OCD14-2に伝達する。

【0059】

OCD14は、例えばハイインピーダンス信号HIZに基いて動作する。OCD14は、例えば信号HIZが“LOW”レベルのとき、遅延調整されたデータdQRをデータDQ(DQn)として出力し、外部ピンに接続された外部バスをドライブする。反対に信号HIZが“HIGH”レベルのときには、OCD14は、“ハイインピーダンス状態”となる。図7に、OCD14の一回路例を示す。

【0060】

図7に示すように、OCD14は、否定論理和回路（以下NOR）71、NOR71の出力を受けるPMOS72、否定論理積回路（以下NAND）73、及びNAND73の出力を受けるNMOS74から構成される。遅延調整されたデータQRは、NOR71及びNAND73それぞれに入力される。

【0061】

NOR71及びNAND73はそれぞれ、ハイインピーダンス信号HIZが“LOW”レベルのとき（反転ハイインピーダンス信号bHIZは“HIGH”レベル）、オン状態となる。これにより、OCD14の出力(DQ)は、遅延調整されたデータQRのレベルに応じて変化する。

【0062】

反対にハイインピーダンス信号HIZが“HIGH”レベルのとき（反転ハイインピーダンス信号bHIZは“LOW”レベル）、NOR31及びNAND73は、

その出力をそれぞれ、遅延調整されたデータQRのレベルに関わらず、“HIGH”レベル、及び“LOW”レベルにそれぞれ固定する。これにより、OCD14は、“ハインピーダンス状態”となる。

【0063】

上記第1実施形態に係る装置であると、DEC13により、nビットのリードデータRD1～RDnのうち、例えば1ビットのみ逆相であるか否かを検出する。さらにこの検出結果に基づき、例えば1ビットのみ逆相と検知されたリードデータRDをDELAY12により遅延させる。この結果、図8に示すように、逆相ビットのアクセスタイムと他のビットのアクセスタイムとの時間差を縮小することができる。

【0064】

このように、上記第1実施形態に係る装置によれば、例えばアクセスタイムのばらつきが最大となる1ビット逆相時に、アクセスタイムのばらつきを小さくでき、データパターンに起因したアクセスタイムのばらつきを軽減することが可能となる。

【0065】

なお、DELAY12-1～12-nのそれぞれの遅延時間は、互いに同じに設定されても良いが、データパターンに起因したアクセスタイムのばらつきを軽減する、という目的が達せられるのであれば、DELAY12-1～12-nのそれぞれに異なった遅延時間、あるいは最適な遅延時間を設定することも可能である。

【0066】

(遅延調整回路の一変形例)

次に、DELAY12の変形例を説明する。

【0067】

図9は、DELAY12の変形例を示す回路図である。

【0068】

図9に示すように、変形例に係るDELAY12'は、入力端子VinとTFG31-1との間、及び入力端子VinとTFG31-2との間に、抵抗R1、抵抗R2がそれぞれ直列に接続されている。この場合には、抵抗R1、R2の抵抗と、T

FG 3 1-1、3 1-2のオン抵抗とによって、遅延時間が決定される。

【0 0 6 9】

本変形例では、抵抗 R 1、R 2 の抵抗値は、例えば下記のように設定される。

【0 0 7 0】

$$R 1 > R 2$$

この場合、駆動電流 I dp1、I dp2、I dn1、I dn2は、下記のように設定することが可能である。

【0 0 7 1】

$$I dp1 \leq I dp2$$

$$I dn1 \leq I dn2$$

このような DELAY 1 2' においても、図 4 に示した DELAY 1 2 と、同様な動作を行うことができる。

【0 0 7 2】

なお、本変形例において、上記抵抗 R 1、R 2 は、例えばインバータ回路を用いた遅延回路に変更されても良い。

【0 0 7 3】

さらに TFG 3 1-1、3 1-2は、例えば遅延調整信号 DPSW によって動作がイネーブルされるインバータ回路に変更されても良い。この変更は、本変形例に限らず、上記実施形態でも同様である。

【0 0 7 4】

(デコード回路の第 1 変形例)

次に、DEC 1 3 の第 1 変形例を説明する。

【0 0 7 5】

図 1 0 は、DEC 1 3 の第 1 変形例を示す回路図である。

【0 0 7 6】

図 1 0 に示すように、第 1 変形例に係る DEC 1 3' は、3 つの否定論理積回路 8 1-1~8 1-3を用いて構成されている。

【0 0 7 7】

このような図 1 0 に示す DEC 1 3' においても、図 5 に示した DEC 1 3 と

、同様な動作を行うことができる。

【0078】

(デコード回路の第2変形例)

次に、DEC13の第2変形例を説明する。

【0079】

従来の技術の欄において、図18を参照して説明したように、データスキューは、データパターンが1ビット逆相時に最大であり、逆相ビットが増えるに従って、データスキューは減っていく。

【0080】

ただし、1ビット逆相時のみを救済しただけでは、まだデータスキューが大きく、アクセスタイムの仕様を満たせない場合、更に逆相ビット数が多いデータパターンについても検出する必要が生ずる。

【0081】

しかし、逆相ビット数が多いデータパターンの数は、ビット構成が大きくなるに連れて急激に増加する。例えば1ビット又は2ビット逆相となるデータパターンは、“×8ビット”の場合、36通りであるが、“×16ビット”の場合には136通りに増加する。さらにビット構成が大きくなれば、1ビット又は2ビット逆相となるデータパターンは、さらに増加する。

【0082】

このようなデータパターンを、図6に示したDEC13や、図9に示したDEC13'で検出しようとする、その回路規模は大変大きくなってしまう。

【0083】

本第2変形例に係るDEC13''は、逆相ビット数が多いデータパターンを、小さい規模の回路で検出することを目的とする。

【0084】

図11A～図11Cはそれぞれ、DEC13の第2変形例を示す回路図である。

【0085】

第2変形例に係るDEC13''では、図11Aに示す回路91_U、91_Lにおい

て、 n ビットのリードデータ $RD_1 \sim RD_n$ を半分ずつ、例えば上位ビット(RD_U)と下位ビット(RD_L)とに分けてデータパターンを検知する。各デコード回路 91_U 、 91_L の出力信号はそれぞれ、 $DPDEC0_U/1_U/0_L/1_L$ とし、逆データが“0”及び“1”であるかにより分けている。

【0086】

また、図11Bに示す回路 92_{UU} 、 92_{UL} 、 92_{LU} 、 92_{LL} 、 93_{UU} 、 93_{UL} 、 93_{LU} 、 93_{LL} において、上位ビット(RD_U) / 下位ビット(RD_L)の、さらに各々半分のビット内で、全てのビットが“0”または“1”で一致しているかを判別する。その出力信号をそれぞれ、 $DPALL_{UU}0/UU1/UL0/UL1/LU0/LU1/LL0/LL1$ とする。

【0087】

さらに図11Cに示す回路において、上位ビット(RD_U)側の遅延調整信号 $DP SW_U$ 、及び下位ビット(RD_L)側の遅延調整信号 $DP SW_L$ をそれぞれ出力する。

【0088】

(逆データが“0”で出力信号 $DPDEC0_U$ が“HIGH”のとき)

下位ビットの $DPALL_{LU}0$ 又は $DPALL_{LL}0$ が“LOW”であると、全体の“0”が少ないと判断され、遅延調整信号 $DP SW_U$ は“HIGH”となる。

【0089】

反対に、下位ビットの $DPALL_{LU}0$ 又は $DPALL_{LL}0$ が“HIGH”であると、全体の“0”が多いと判断され、遅延調整信号 $DP SW_U$ は“LOW”となる。

【0090】

(逆データが“1”で出力信号 $DPDEC1_U$ が“HIGH”のとき)

下位ビットの $DPALL_{LU}1$ 又は $DPALL_{LL}1$ が“LOW”であると、全体の“1”が少ないと判断され、遅延調整信号 $DP SW_U$ は“HIGH”となる。

【0091】

反対に、下位ビットの $DPALL_{LU}1$ 又は $DPALL_{LL}1$ が“HIGH”であると、全体の“1”が多いと判断され、遅延調整信号 $DP SW_U$ は“LOW”となる。

【0092】

(逆データが“0”で出力信号 $DPDEC0_L$ が“HIGH”のとき)

上位ビットの $DPALL_{UU}0$ 又は $DPALL_{UL}0$ が“LOW”であると、全体の“0”が少ないと判断され、遅延調整信号 $DPSW_L$ は“HIGH”となる。

【0093】

反対に、上位ビットの $DPALL_{UU}0$ 又は $DPALL_{UL}0$ が“HIGH”であると、全体の“0”が多いと判断され、遅延調整信号 $DPSW_L$ は“LOW”となる。

【0094】

(逆データが“1”で出力信号 $DPDEC1_L$ が“HIGH”のとき)

下位ビットの $DPALL_{UU}1$ 又は $DPALL_{UL}1$ が“LOW”であると、全体の“1”が少ないと判断され、遅延調整信号 $DPSW_L$ は“HIGH”となる。

【0095】

反対に、下位ビットの $DPALL_{UU}1$ 又は $DPALL_{UL}1$ が“HIGH”であると、全体の“1”が多いと判断され、遅延調整信号 $DPSW_L$ は“LOW”となる。

【0096】

以上のように本第2変形例に係る $DEC13''$ は、上記 $DEC13$ 、 $DEC13'$ で構成する場合に比べ、 $2^{n/2}$ 分の1の真理値表で構成すれば良いので、ビット構成が多いほど有効である。

【0097】

(第2実施形態)

図12は、この発明の第2実施形態に係る半導体メモリチップにおけるリードパスの基本構成を示すブロック図である。

【0098】

図12に示すように、第2実施形態が、第1実施形態と特に異なるところは、リードデータ出力用クロック $OUTCLK$ を、データパターンに応じて、 $DELAY15$ により遅延させるようにしたことである。

【0099】

具体的には、リードデータ出力用クロック $OUTCLK$ は、 $DELAY15$ ($15-1 \sim 15-n$) に入力される。 $DELAY15$ は、遅延調整信号 $DPSW$ ($DPSW1 \sim DPSWn$) に応じて、クロック $OUTCLK$ を遅延させる。 $DELAY15$ は、

上述した DELAY 1 2、1 2' 等と同様の回路で構成することができる。遅延調整信号 DP SW は、DEC 1 6 から出力される。

【0 1 0 0】

DEC 1 6 は、図示せぬメモリセルから読み出された n ビットのリードデータ RD (RD 1 ~ RD n) をデコードして、遅延調整信号 DP SW を出力する。DEC 1 6 もまた、上述した DEC 1 3、1 3'、1 3'' 等と同様の回路で構成することができる。

【0 1 0 1】

上記 n ビットのリードデータ RD (RD 1 ~ RD n) はそれぞれ FIFO 1 1 に入力される。FIFO 1 1 は、遅延調整されたクロック OUTCLK (OUTCLK 1 ~ OUTCLK n) に同期して動作し、遅延調整されたクロック OUTCLK が、例えば "HIGH" レベルとなったとき、入力されたリードデータ RD をデータ QR (QR 1 ~ QR n) として出力する。データ QR は、OCD 1 4 に入力される。

【0 1 0 2】

OCD 1 4 は、入力されたデータ QR をデータ DQ (DQ 1 ~ DQ n) として、パッド (図示せず)、及びリードフレーム (図示せず) を介して、外部ピン (図示せず) に対して出力する。

【0 1 0 3】

これら FIFO 1 1、OCD 1 4 についても、第 1 実施形態で説明した回路と同様の回路で構成することができる。

【0 1 0 4】

このような第 2 実施形態に係る装置においても、第 1 実施形態と同様に、データパターンに起因したアクセスタイムのばらつきを軽減することが可能である。

【0 1 0 5】

(第 3 の実施形態)

図 1 3 は、この発明の第 3 実施形態に係る半導体メモリチップにおけるリードパスの基本構成を示すブロック図である。

【0 1 0 6】

図 1 3 に示すように、第 3 実施形態が、第 1、第 2 実施形態と特に異なること

ろは、隣接したデータ線D1とD2、及びD2とD3に伝達されたリードデータを、DEC17(17-12、17-23)でデコードし、遅延調整信号DPSW12/23を生成するようにしたことである。DEC17は、例えば排他的論理和回路(以下EXOR)から構成される。遅延調整信号DPSW12は、データ線D1、D2に設けられたDELAY18-1、18-2に入力され、遅延調整信号DPSW23は、データ線D2、D3に設けられたDELAY18-2、18-3に入力される。

【0107】

今、データ線D1、D2の電位レベルが互いに同相に変化した、とする。このとき、遅延調整信号DPSW12は“HIGH”レベルとなる。一方、互いに逆相に変化した場合には、遅延調整信号DPSW12は“LOW”レベルとなる。

【0108】

また、データ線D2、D3の電位レベルが互いに同相に変化した、とする。このとき、遅延調整信号DPSW23は“HIGH”レベルとなる。一方、互いに逆相に変化した場合には、遅延調整信号DPSW23は“LOW”レベルとなる。

【0109】

データ線D2の場合で説明すると、遅延調整信号DPSW12/23によるDELAY18-2の遅延は、

(1) DPSW12=DPSW23=“HIGH”の場合、遅延が最大になるように設定され、

(2) DPSW12=DPSW23=“LOW”の場合、遅延が最小になるように設定され、

(3) DPSW12=“HIGH”、DPSW23=“LOW”、またはその逆の場合、遅延は、最大と最小との間に設定される。

【0110】

データ線D1、D3についても、上記データ線D2と同様にして、互いに隣接したデータ線の状態をデコードして遅延調整が行われる。

【0111】

また、データ線が3本の場合を例示したが、データ線が3本以上の場合でも、

本第3実施形態が有効であることは勿論である。

【0112】

このような第3実施形態に係る装置においても、第1、第2実施形態と同様に、データパターンに起因したアクセスタイムのばらつきを軽減することが可能である。

【0113】

以上、この発明を第1～第3実施形態により説明したが、この発明は、これら実施形態それぞれに限定されるものではなく、その実施にあたっては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

【0114】

例えば上記第1～第3実施形態ではこの発明を、半導体メモリチップにおけるリードパスに適用した場合について説明したが、この発明の主たる目的は、データパターンに起因したアクセスタイムのばらつきを軽減することである。このため、データパターンに応じて遅延調整されるデータは、上記リードデータのみに限られることはなく、例えばメモリセルに書き込むライトデータであっても良いし、メモリセルのアドレスを指定するアドレス信号であっても良い。

【0115】

例えば上記データがライトデータであるときには、上記OCD14が、ライトデータバッファ回路に変更されれば良く、データがアドレス信号であるときには、上記OCD14は、アドレスバッファ回路に変更されれば良い。

【0116】

また、上記各実施形態は、単独、または適宜組み合わせて実施することも勿論可能である。

【0117】

さらに、上記各実施形態には種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0118】

【発明の効果】

以上説明したように、この発明によれば、データパターンに起因したアクセスタイムのばらつきを軽減できる半導体集積回路装置を提供できる。

【図面の簡単な説明】

【図 1】 図 1 はこの発明の第 1 実施形態に係る半導体メモリチップにおけるリードパスを示すブロック図。

【図 2】 図 2 は F I F O の一回路例を示す回路図。

【図 3】 図 3 は D E L A Y の一構成例を示すブロック図。

【図 4】 図 4 は D E L A Y の一回路例を示す回路図。

【図 5】 図 5 は D E C の一回路例を示す回路図。

【図 6】 図 6 は “× 4 ビット” における D E C の一回路例を示す回路図。

【図 7】 図 7 は O C D の一回路例を示す回路図。

【図 8】 図 8 はこの発明の効果を示す図。

【図 9】 図 9 は D E L A Y の変形例を示す回路図。

【図 10】 図 10 は D E C の第 1 変形例を示す回路図。

【図 11】 図 11 A、図 11 B 及び図 11 C はそれぞれ、D E C の第 2 変形例を示す回路図。

【図 12】 図 12 はこの発明の第 2 実施形態に係る半導体メモリチップにおけるリードパスを示すブロック図。

【図 13】 図 13 はこの発明の第 3 実施形態に係る半導体メモリチップにおけるリードパスを示すブロック図。

【図 14】 図 14 は一般的な半導体メモリチップにおけるリードパスを示すブロック図。

【図 15】 図 15 A は半導体メモリチップを内蔵した L S I 製品のブロック図、図 15 B はその等価回路図。

【図 16】 図 16 A は互いに並走した 3 ビットの配線を示す図、図 16 B は互いに並走した 3 ビットの配線の隣接容量を示す図、図 16 C は互いに並走した 3 ビットの配線の電位変化とデータパターンとの関係を示す図、図 16 D は A 点の電位及び B 点の電位と時間との関係を示す図。

【図 17】 図 17 は一般的な O C D の構成を示す図。

【図 1 8】 図 1 8 はデータパターンとデータのアクセスタイムとの関係を示す図。

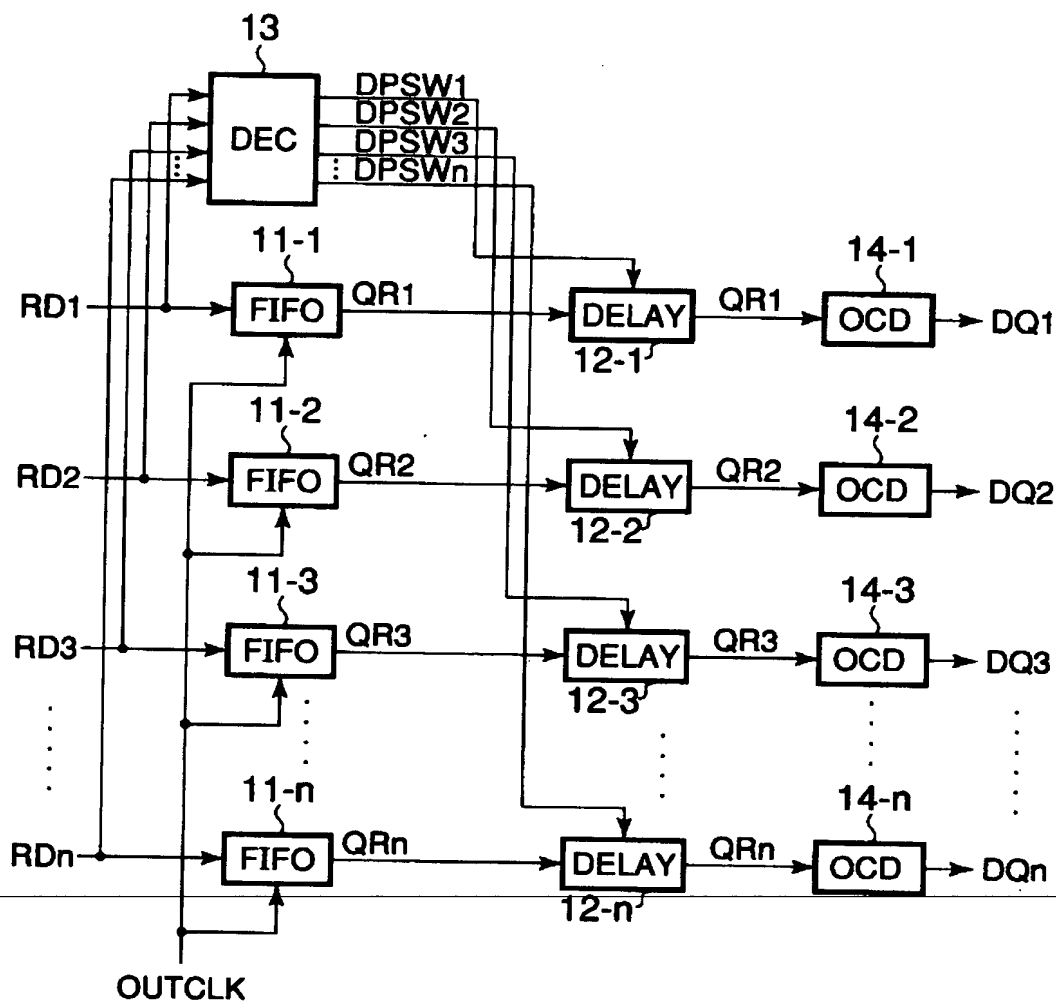
【符号の説明】

- 1 1 …先入れ先出し型のレジスタ回路 (F I F O)、
- 1 2、1 2' …遅延調整回路 (D E L A Y)、
- 1 3、1 3'、1 3'' …デコード回路 (D E C)、
- 1 4 …オフチップドライバ回路 (O C D)。

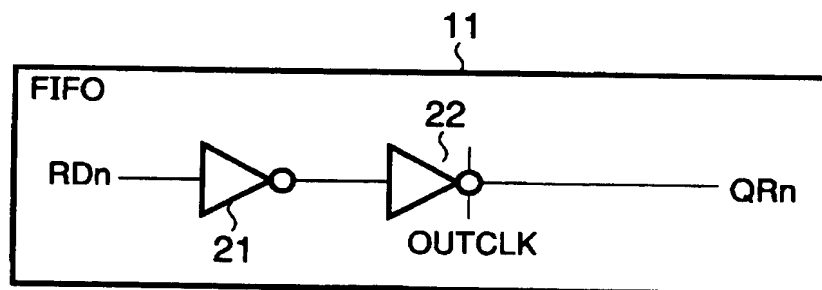
【書類名】

図面

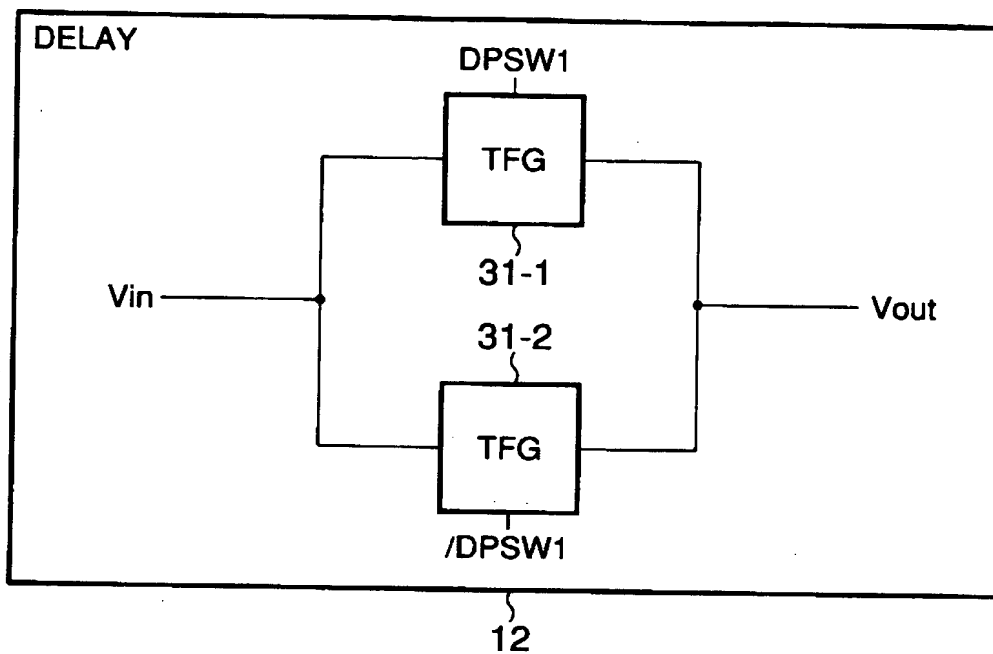
【図 1】



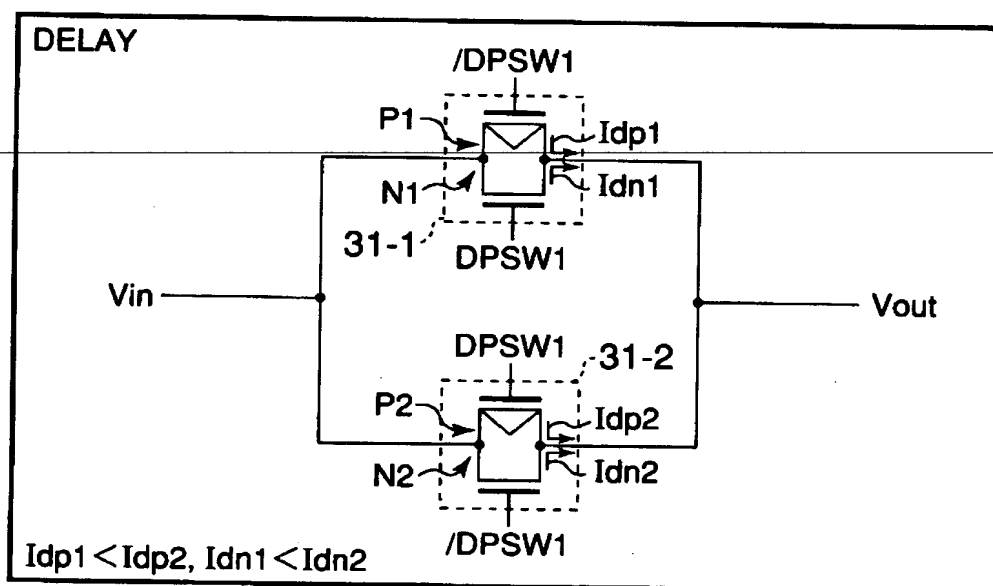
【図 2】



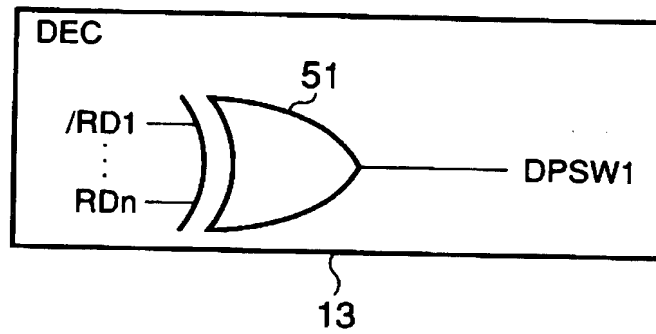
【図 3】



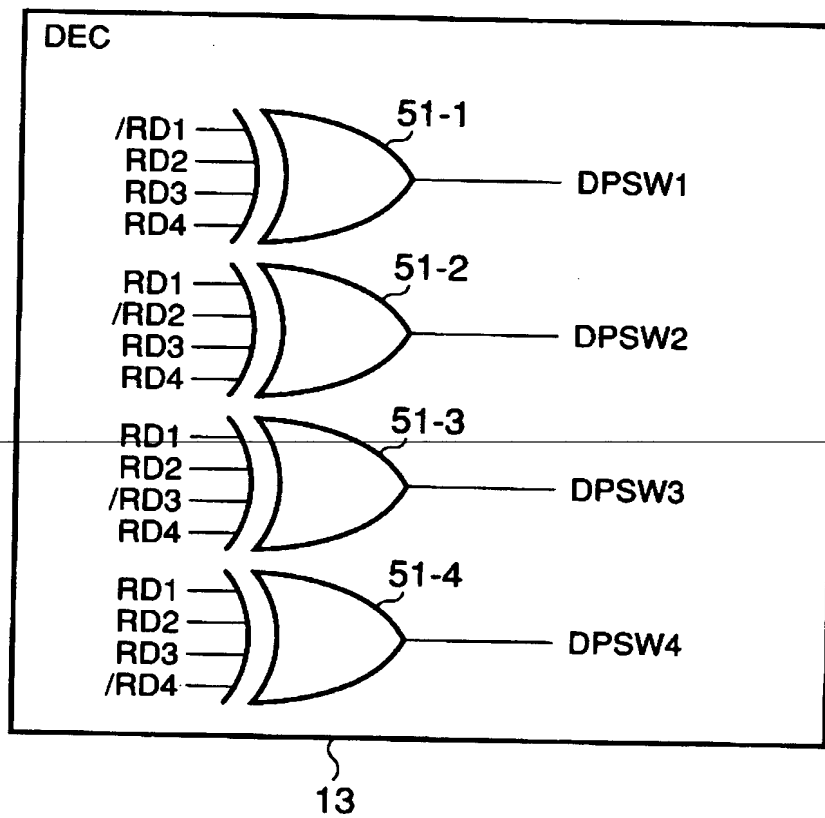
【図 4】



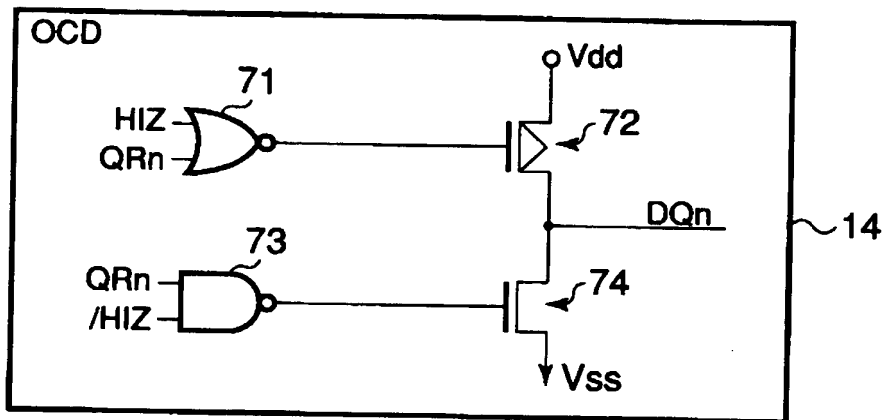
【図 5】



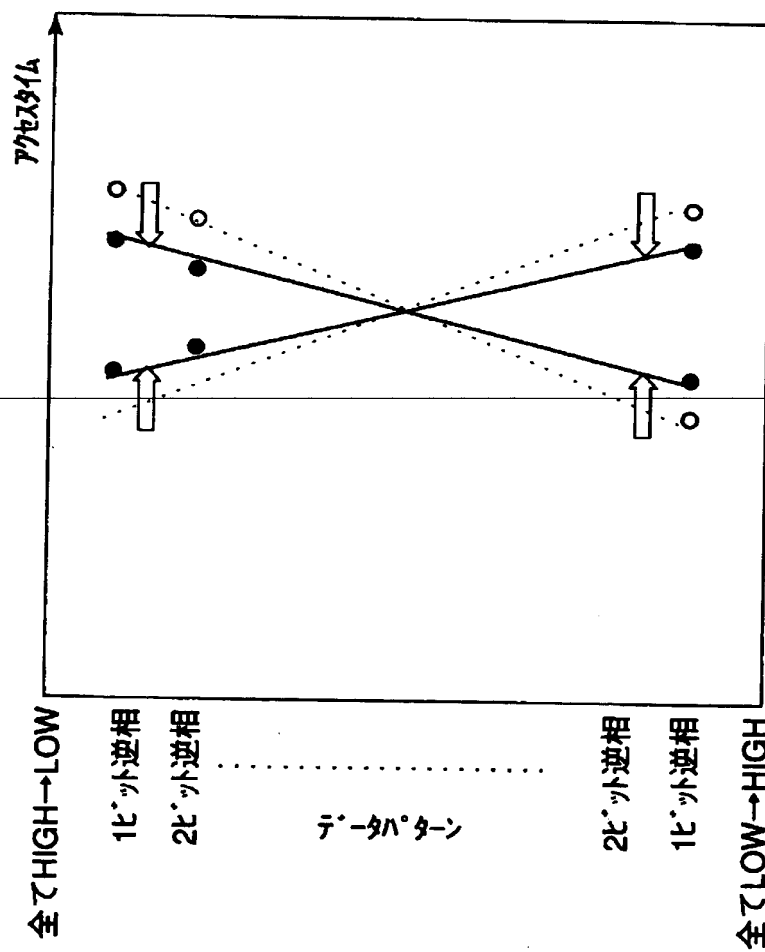
【図 6】



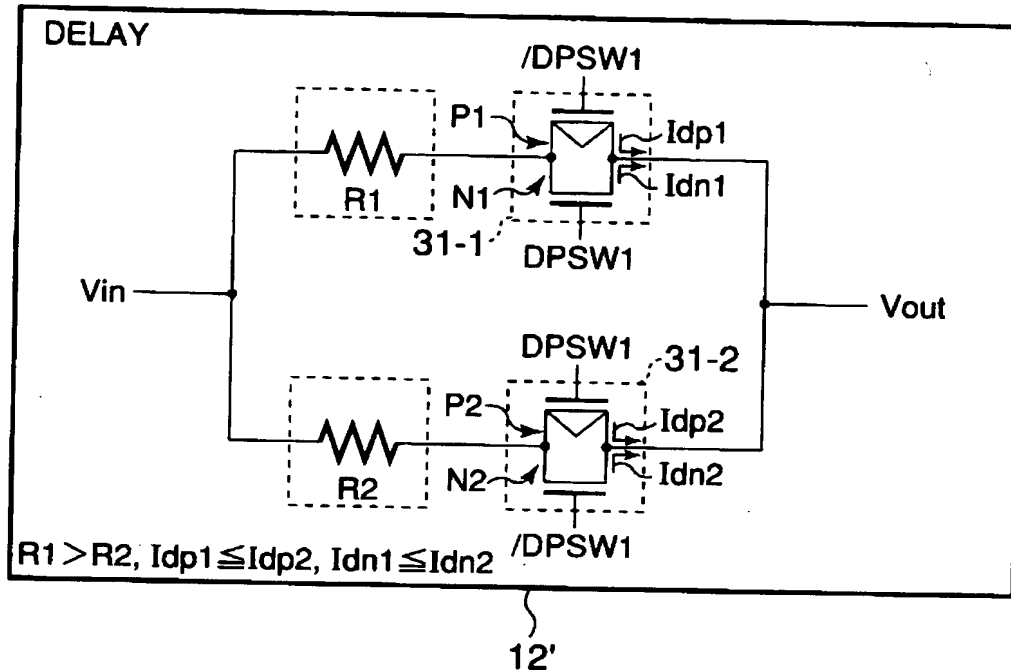
【図 7】



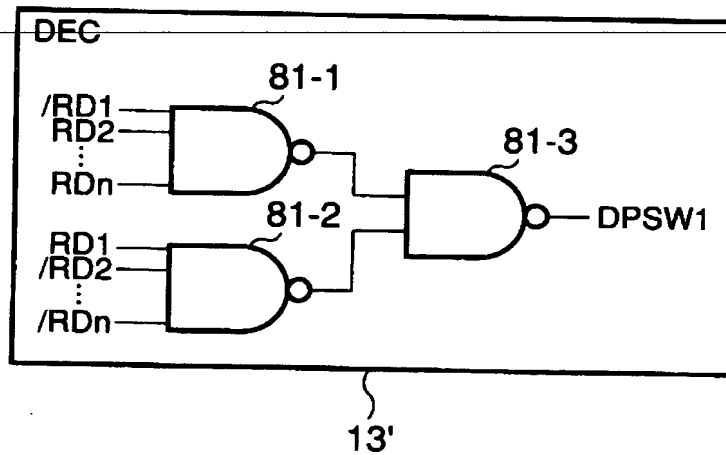
【図 8】



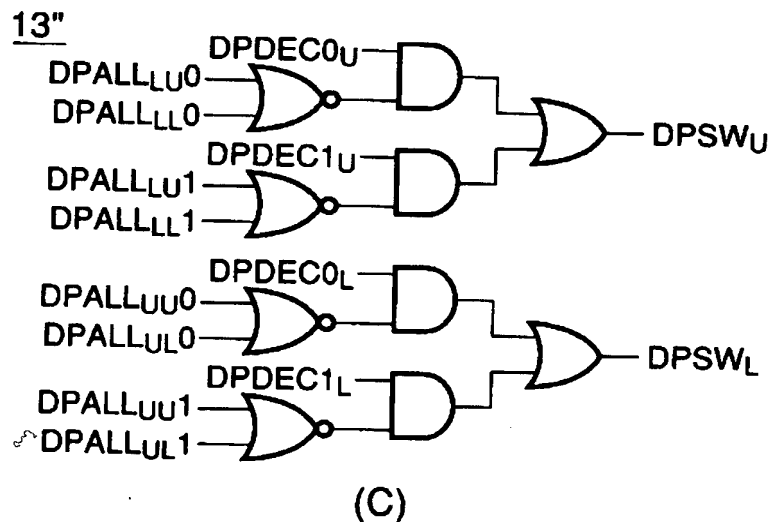
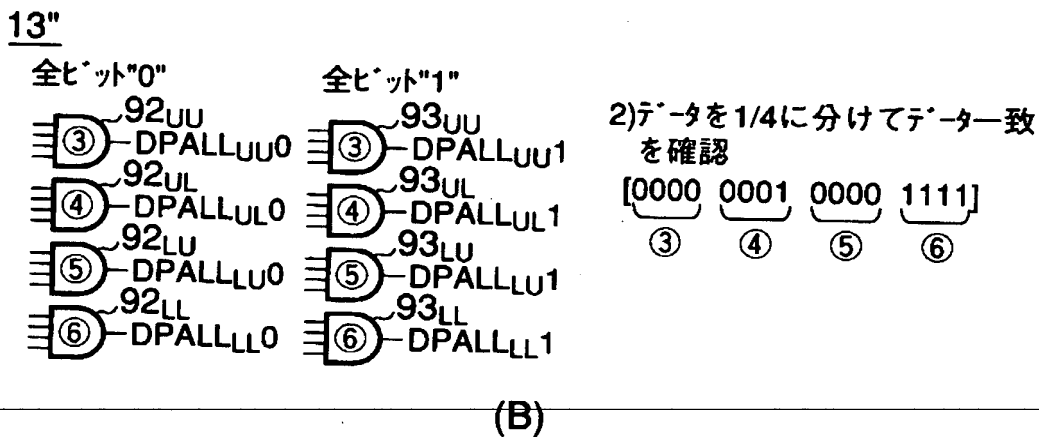
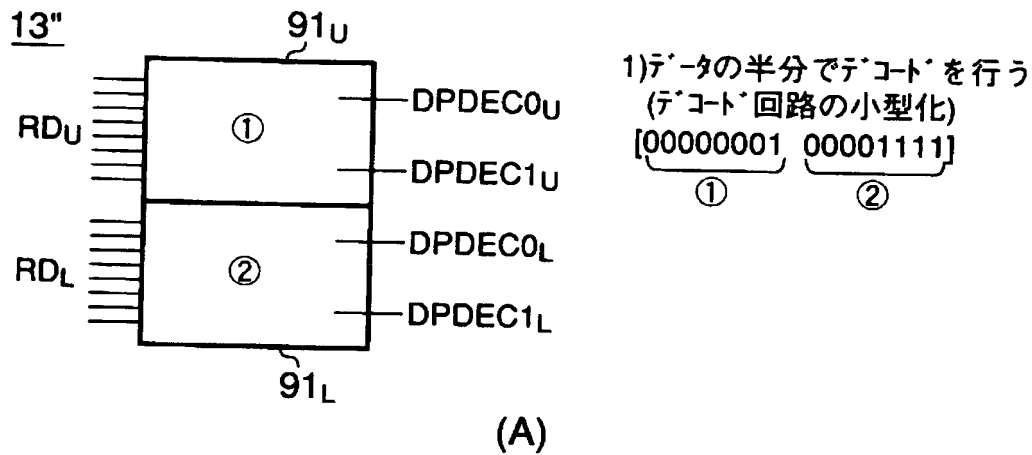
【図 9】



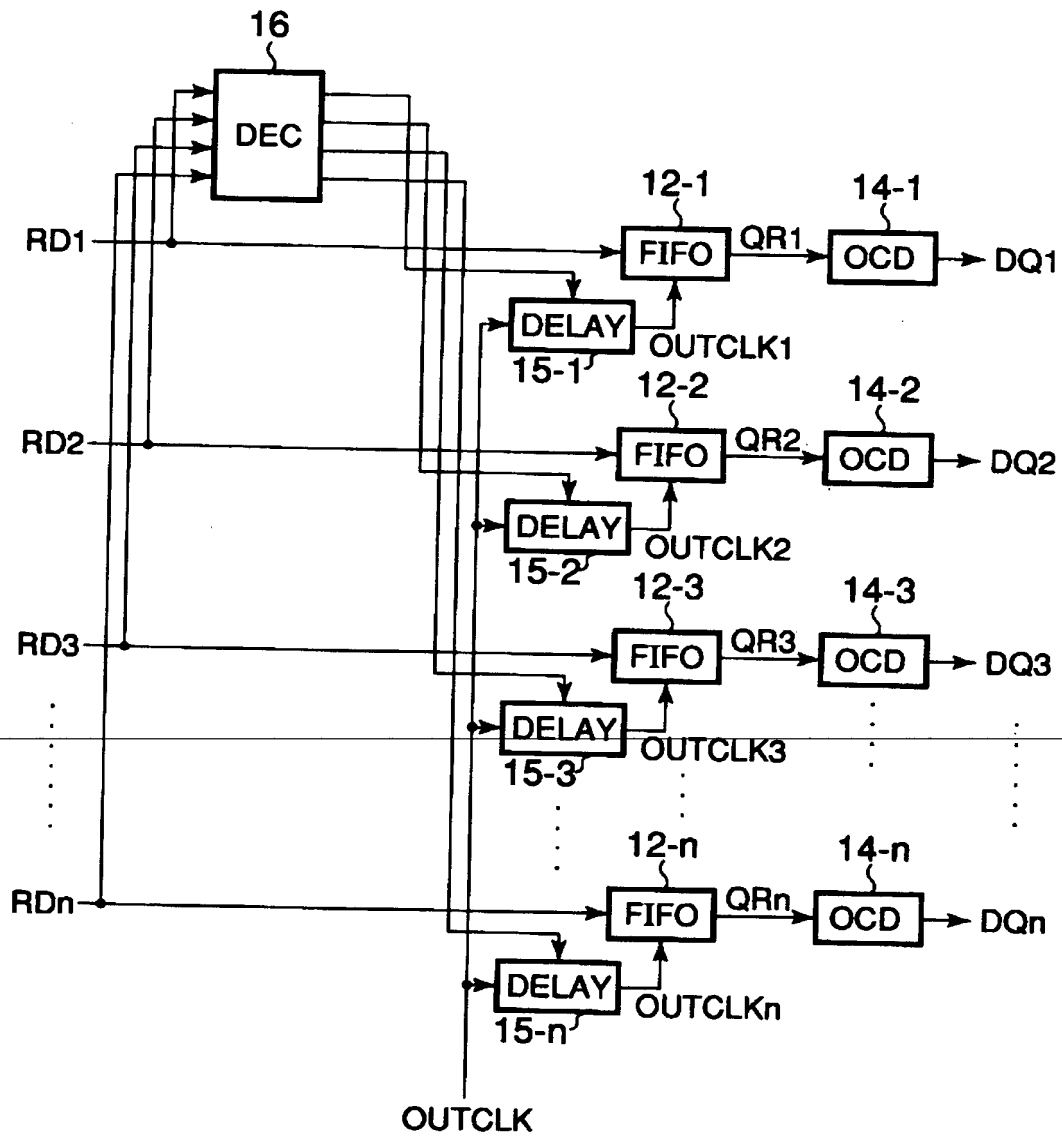
【図 10】



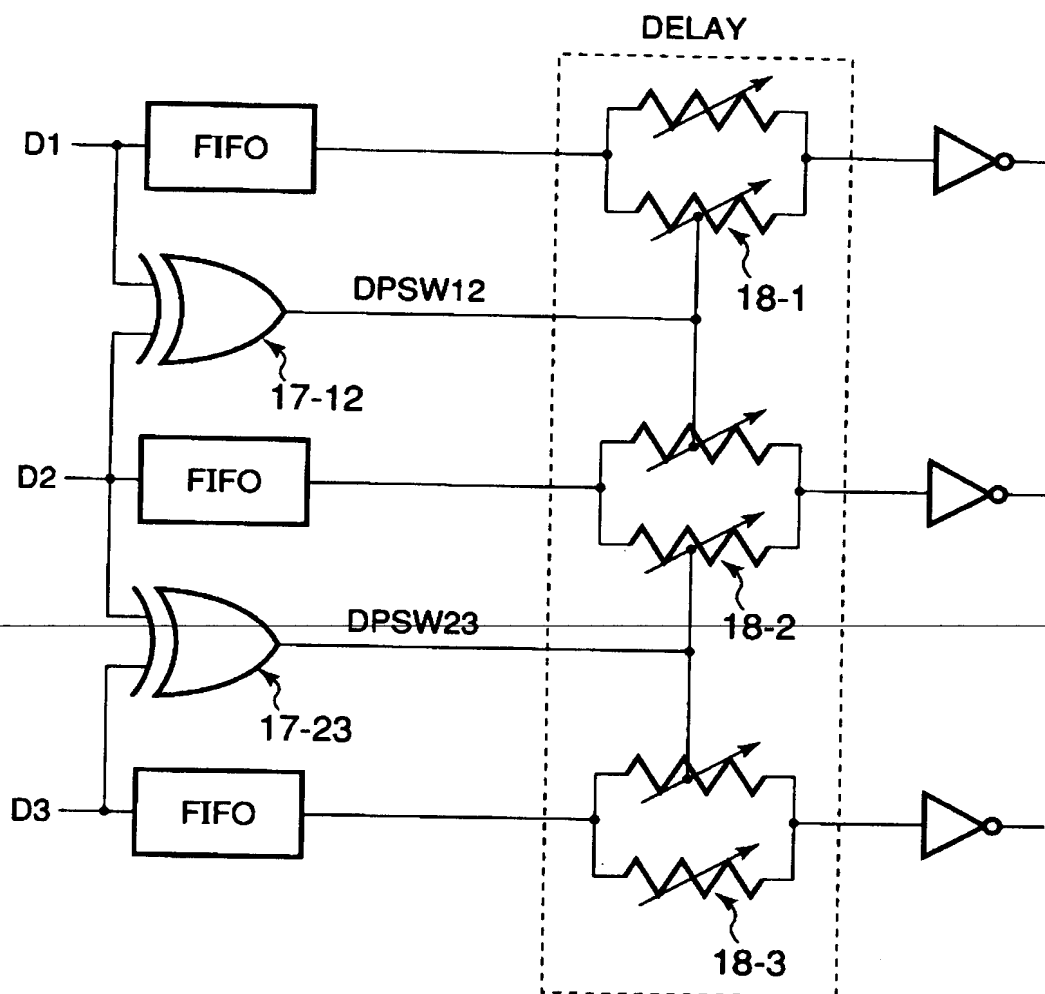
【図 11】



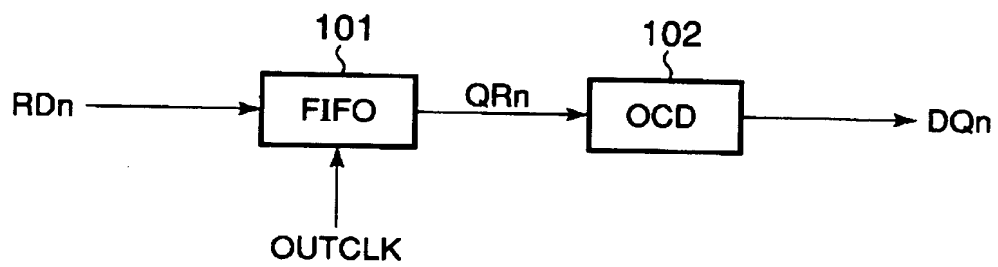
【図 12】



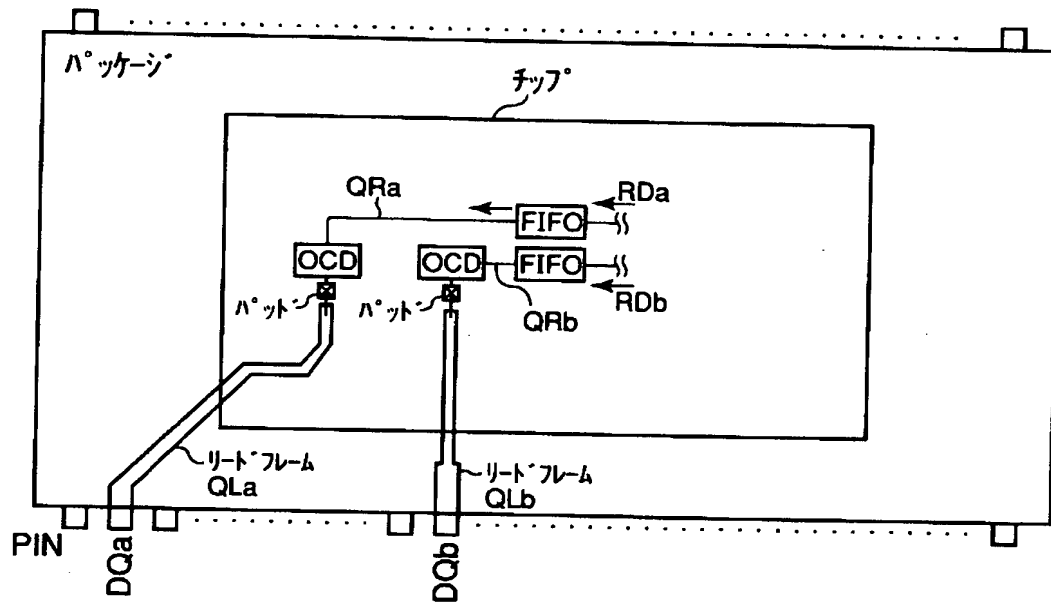
【図 13】



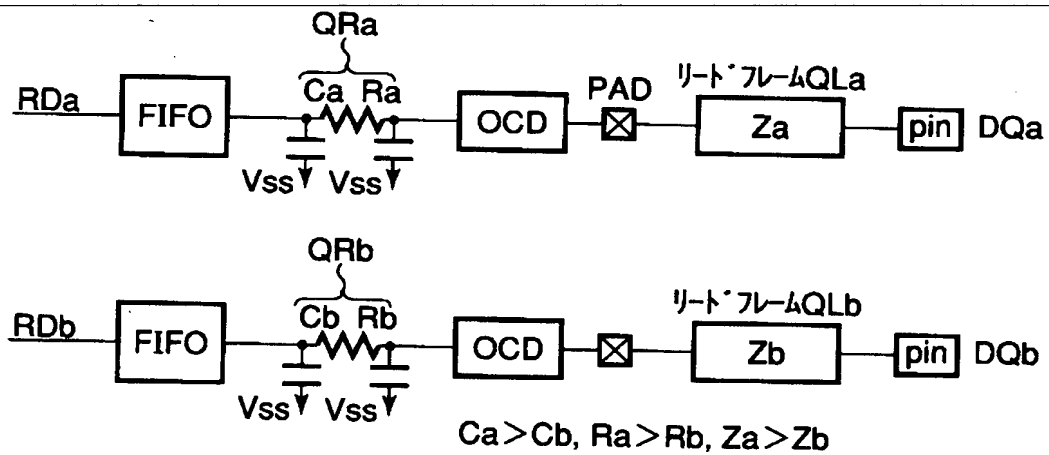
【図 14】



【図15】

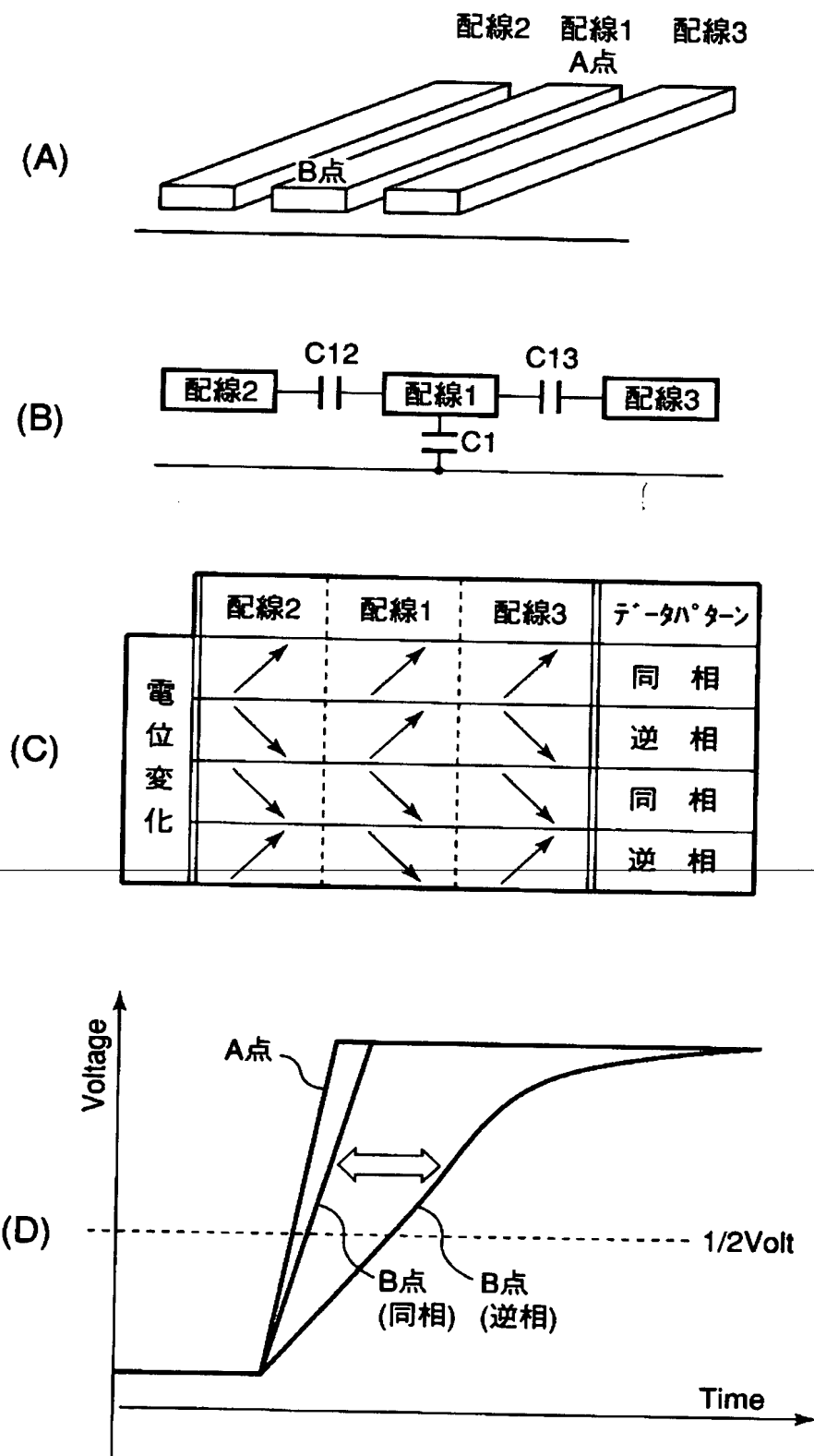


(A)



(B)

【図16】

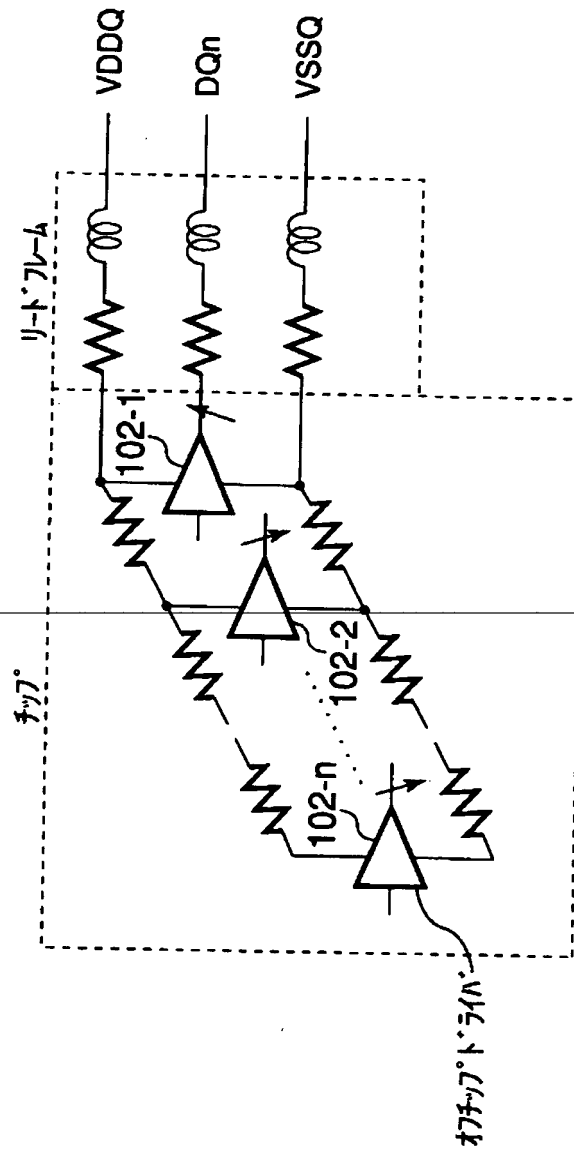


【図17】

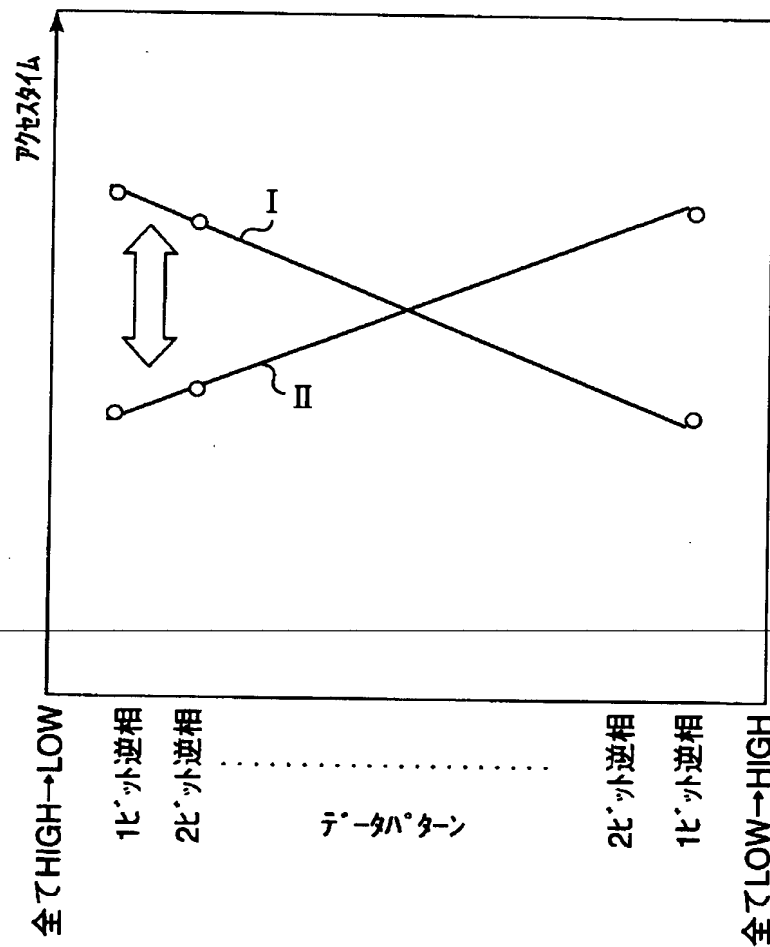
PKG(電源)の実効インダクタンス(Leff)
 ドライバの電流駆動能力(di/dt)
 同時スイッチング数(N)

電源/GNDに流れる過渡電流による電位変動(ΔV)

$$\Delta V = N \cdot Leff \cdot (di/dt)$$



【図18】



【書類名】 要約書

【要約】

【課題】 データパターンに起因したアクセスタイムのばらつきを軽減できる半導体集積回路装置を提供すること。

【解決手段】 n ビットのリードデータ $RD1 \sim RDn$ を受け、リードデータ出力用クロック $OUTCLK$ により出力タイミングが制御されるレジスタ回路 $11-1 \sim 11-n$ と、レジスタ回路 $11-1 \sim 11-n$ の出力を受け、上記リードデータ $RD1 \sim RDn$ をデコードして得た遅延調整信号 $DPSW1 \sim DPSWn$ により遅延時間が調整される遅延調整回路 $12-1 \sim 12-n$ と、遅延調整回路 $12-1 \sim 12-n$ の出力を受けるオフチップドライバ回路 $14-1 \sim 14-n$ とを具備することを特徴としている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝